Escuela Superior Politécnica de Chimborazo

GUÍA DE PRÁCTICAS DE LABORATORIOS, TALLERES Y CENTROS DE SIMULACIÓN

PRÁCTICA No. 1

PRÁCTICA NO.1: SIMULACIÓN LACTCH.

Nombre: Jorge Carrillo

FECHA: 2025-09-26

AMBIENTE DE APRENDIZAJE PRACTICO:

LABORATORIO MULTIDISCIPLINARIO DE ELECTRÓNICA

1. OBJETIVO

GENERAL

Diseñar un Lactch con el uso de compuertasuniversales.

ESPECÍFICOS

- Diseñar un lactch Latch S-R.
- Las salidas se visualizarán en leds de luz roja.
- Seleccionar los dispositivos más relevantes para aplicar en el diseño.
- Simular e implementar el diseño con el uso COMPUERTAS UNIVERSALES NAND y NOR.
- Establecer ventajas y desventajas en el proceso de diseños.
- Establecer diferencias entre los dos diseños.
- Apoyarse de los catálogos de dispositivos electrónicos integrados.

2. INSTRUCCIONES METODOLOGÍA

La siguiente sección describe la metodología a seguir para el desarrollo de la práctica, cuyo propósito es analizar y construir un Latch S–R utilizando compuertas universales

NAND y NOR. La metodología propuesta consta de los siguientes pasos:

1. Investigar el funcionamiento teórico de un Latch S–R, su importancia como elemento de almacenamiento y su construcción a partir de compuertas universales NAND y NOR.

2. Describir teóricamente y gráficamente las entradas, el proceso y las salidas del sistema, elaborando el diagrama lógico correspondiente al diseño del circuito.

3. Definir las variables de entrada (S y R) y las salidas (Q y $\bar{Q}$), estableciendo la tabla de verdad que determine el comportamiento esperado del Latch.

4. Realizar la simulación del circuito en el software Proteus 8.1, representando el diseño con compuertas NAND y, posteriormente, con compuertas NOR.

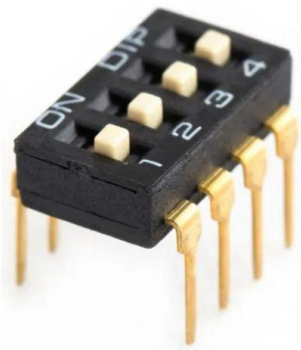
5. Verificar la simulación comparando los resultados obtenidos con la tabla de verdad previamente planteada, con especial énfasis en los estados válidos e inválidos del Latch.

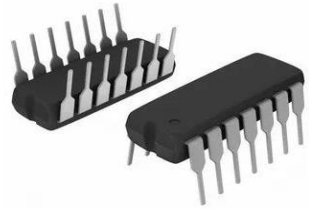
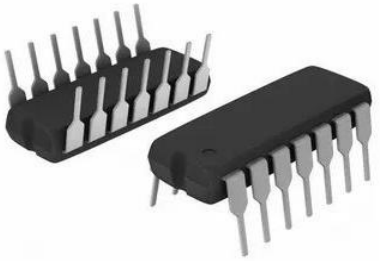
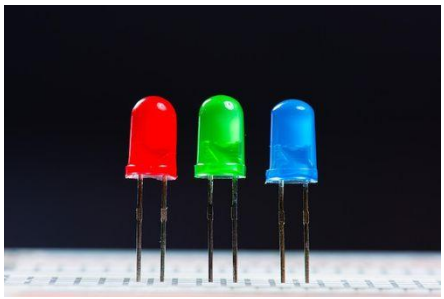
6. Adquirir los materiales y herramientas necesarios para la implementación práctica, considerando los circuitos integrados adecuados (NAND y NOR), resistencias, LEDs y protoboard.

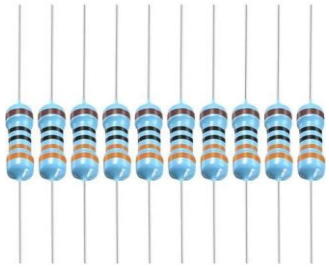
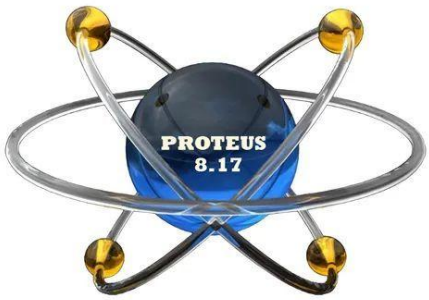
7. Implementar el circuito en protoboard siguiendo las conexiones definidas en la simulación y apoyándose en la información técnica de los datasheets de cada integrado.

8. Analizar y registrar los resultados obtenidos en la práctica, comparando el comportamiento de los circuitos implementados con los simulados y destacando similitudes, diferencias, ventajas y desventajas.

EQUIPOS Y MATERIALES:

MATERIALES	DESCRIPCION	IMAGEN
Protoboard. (Jameco)	Placa de pruebas reutilizable con orificios conectados internamente que permite montar y probar circuitos electrónicos sin necesidad de soldadura.	
Fuente de 5V	Dispositivo regulado que convierte voltaje alterno a continuo, manteniendo una salida estable de 5V ±5%. Esencial para alimentar circuitos TTL/CMOS.	
Micro interruptores (DIPSW de 4 entradas).	Módulo compacto con 4 interruptores mecánicos deslizantes en encapsulado DIP. Cada interruptor tiene dos posiciones (ON/OFF) para configurar estados lógicos binarios	

Compuertas NAND (74LS00)	Circuito integrado que contiene cuatro compuertas NAND de dos entradas, utilizado para implementar operaciones lógicas básicas y construir sistemas digitales.	
Compuertas NOR (74LS02)	Circuito integrado que incluye cuatro compuertas NOR de dos entradas, empleado en el diseño de circuitos lógicos y como base para la construcción de sistemas secuenciales y combinacionales.	
Diodos Led	Dispositivos electrónicos emisores de luz que, al ser polarizados directamente, convierten la energía eléctrica en luz visible, usados como indicadores en circuitos.	

Resistencias de 330 Ω.	Se opone al flujo de la corriente eléctrica en un circuito.	
Cable UTP	Cable de par trenzado sin blindaje, con conductores de cobre estañado. Usado para conexiones por su flexibilidad	
Software de simulación: Proteus versión 8.17	Suite de diseño electrónico para simular circuitos analógicos/digitales y diseñar PCBs.	

MARCO TEÓRICO:

LATCH

Un Latch es un circuito digital biestable, es decir, un dispositivo capaz de almacenar un bit de información (0 o 1). A diferencia de las compuertas lógicas, que solo muestran un resultado inmediato en función de sus entradas, el latch puede

recordar su último estado hasta que una señal externa lo modifique. Gracias a esta propiedad, los latches son considerados los elementos básicos de memoria en los sistemas digitales (Mano & Ciletti, 2018).

LATCH S-R

El Latch S–R (Set–Reset) es uno de los biestables más simples y representa la base del almacenamiento en los sistemas digitales. Se trata de un circuito secuencial asincrónico capaz de mantener un estado lógico (0 o 1) hasta que las entradas lo modifiquen (Wakerly, 2006).

LATCH S-R implementado con compuertas NOR

El Latch S–R (Set–Reset) implementado con compuertas NOR se caracteriza por ser activo a nivel alto, es decir, sus entradas actúan cuando reciben un "1" lógico. Este circuito es un biestable que posee dos salidas, Q y $\bar{Q}$, donde una es el complemento de la otra (Tocci, Widmer & Moss, 2011).

En la Figura 1 se observa la implementación del Latch S–R con compuertas NOR, en la cual las salidas de ambas compuertas se encuentran realimentadas hacia las entradas opuestas. Esta realimentación cruzada es la que permite que el circuito conserve un estado lógico incluso cuando las entradas regresan a cero, cumpliendo la función de memoria (Malvino & Leach, 2008).

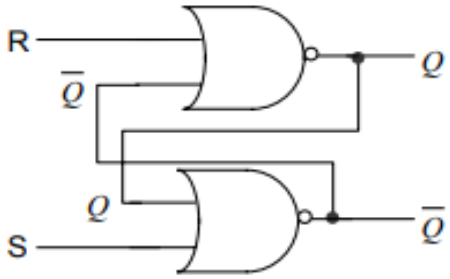


Figura 1. Latch S-R con compuertas NOR.

La operación del circuito se resume en la Tabla 1, donde se evidencia que existe una condición inválida cuando ambas entradas (S y R) son "1", pues el circuito intentaría forzar simultáneamente las salidas a cero.

Entradas		**Salidas**		**Condición**
R	**S**	**Q**	$\overline{Q}$	
0	0	NC	NC	No cambia, conserva estado anterior (memoria)
0	1	1	0	Set (establece salida en 1)
1	0	0	1	Reset (establece salida en 0)
1	1	0	0	Indeterminación

Tabla 1. Tabla de verdad del Latch con compuertas NOR.

LATCH con compuertas NAND

El Latch S–R implementado con compuertas NAND es un circuito secuencial asincrónico activo en nivel bajo, lo que significa que las entradas producen efecto cuando reciben un "0" lógico. Al igual que el latch con compuertas NOR, está conformado por dos compuertas lógicas interconectadas mediante realimentación cruzada, lo que le permite mantener un estado estable incluso después de que las entradas regresan a su condición inactiva (Mano & Ciletti, 2018).

La diferencia principal respecto al latch con compuertas NOR radica en la polaridad de activación: en el latch con NAND, el efecto de Set (S) o Reset (R) ocurre con un pulso bajo. Es decir, un “0” en la entrada correspondiente fuerza la salida asociada, mientras que un “1” mantiene la condición previa. Esta característica hace que su análisis y tabla de verdad sean complementarios a los del latch con NOR (Wakerly, 2006).

En la Figura 2 se muestra la configuración del latch S–R con compuertas NAND, donde se observa la conexión cruzada de las salidas hacia las entradas contrarias, asegurando su comportamiento biestable (Tocci, Widmer & Moss, 2011).

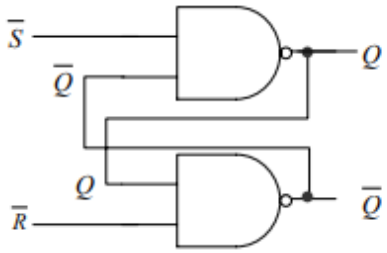


Figura 2. Latch S-R con compuertas NAND

La operación del circuito se presenta en la Tabla 2, donde se aprecia que la condición inválida ocurre cuando ambas entradas son “0”

Entradas		**Salidas**		**Condición**
R	**S**	**Q**	$\overline{Q}$	
0	0	1	1	Indeterminación
0	1	1	0	Set (establece salida en 1)
1	0	0	1	Reset (establece salida en 0)
1	1	NC	NC	No cambia, conserva estado anterior (memoria)

Tabla 2. Tabla de verdad del Latch con compuertas NAND

.

El comportamiento inverso respecto al latch con compuertas NOR se debe a la

naturaleza de la compuerta NAND. Mientras que en el latch con NOR la activación ocurre con un “1” lógico, en el latch con NAND la activación se produce con un “0”. Esto implica que ambos circuitos son funcionalmente equivalentes, ya que cumplen la misma función de almacenamiento, pero con distinta lógica de activación (Mano & Ciletti, 2018; Wakerly, 2006).

Compuerta NOR (74LS02)

El 74LS02 es un circuito integrado de la familia TTL (Transistor-Transistor Logic) que contiene cuatro compuertas NOR independientes de dos entradas cada una. Al igual que la compuerta NAND, la compuerta NOR es una compuerta universal, lo que significa que con ella se pueden construir todas las demás compuertas lógicas básicas, como AND, OR, NOT e incluso XOR (Floyd, 2015).

Funcionamiento básico:

- La compuerta NOR produce una salida ALTA (1 lógico) únicamente cuando todas sus entradas son BAJAS (0 lógico).
- En cualquier otra combinación de entradas (0-1, 1-0 o 1-1), la salida será BAJA (0 lógico).
- Esta operación se representa mediante la expresión booleana: $X = \neg(A + B)$ (Wakerly, 2006).

A continuación, en la figura 3, se muestra un esquema de donde se deben conectar las entradas y cuáles son sus respectivas salidas

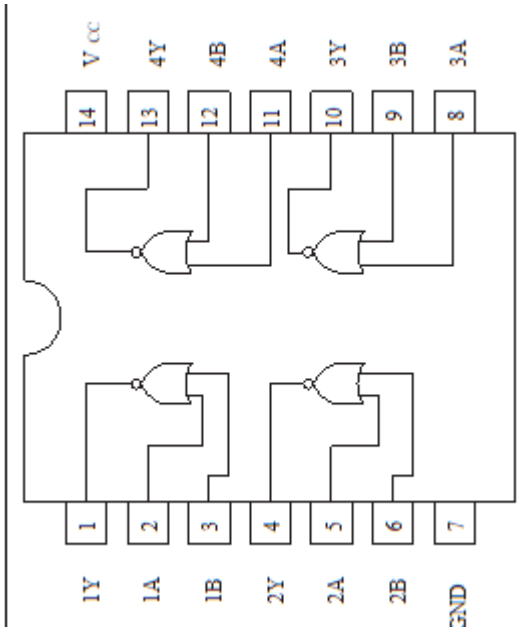


Figure 3: Esquema de pines del integrado 7402 (Renesas, 2005).

Compuerta NAND (74LS00)

La compuerta NAND es una compuerta universal, lo que significa que con ella se pueden construir todas las demás compuertas lógicas básicas, como AND, OR, NOT e incluso XOR.

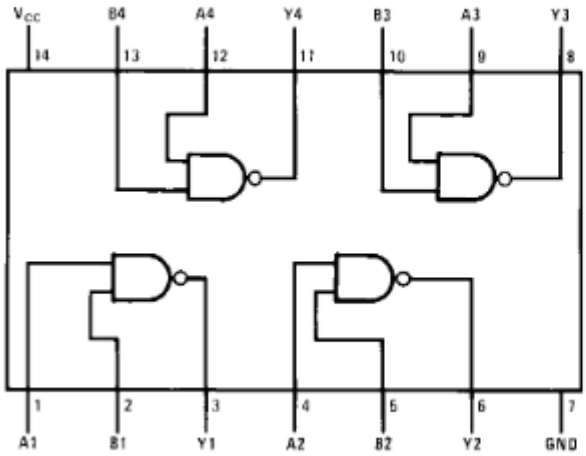
Funciona de la siguiente manera:

- Solo entrega 0 cuando ambas entradas son 1.
- En cualquier otro caso, la salida es 1 (Malvino, 2006).

Este tipo de compuerta es útil en el diseño de circuitos combinacionales complejos, especialmente cuando se desea usar un único tipo de componente. En esta práctica, se utilizó el circuito integrado 74LS00, que contiene cuatro compuertas NAND de dos entradas cada una.

A continuación, se muestra en la figura 4 un esquema de donde se deben conectar las entradas y cuáles son sus respectivas salidas

Connection Diagram



Function Table

$Y = \overline{AB}$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

Figure 4: Esquema de pines del integrado 7400 (Futurlec, 2020)).

Los Valores Máximos Absolutos establecen los límites críticos que no deben superarse para evitar daños permanentes en el integrado 7400. Entre ellos se encuentran: voltaje de alimentación (Vcc: 7 V), voltaje de entrada (VI: –0.5 V a 7 V), corriente de salida en cada pin (IOL/IOH: ±16 mA), y temperatura de operación (TA: 0 °C a 70 °C). Estos valores no representan condiciones normales de uso, sino umbrales de tolerancia del dispositivo (Futurlec, 2020).

Las características eléctricas bajo condiciones recomendadas incluyen un voltaje de salida en nivel bajo VOL ≤ 0.5 V y en nivel alto VOH ≥ 2.7 V, corrientes de entrada IIH ≈ 20 µA e IIL ≈ –0.4 mA, corriente de cortocircuito IOS ≈ –18 mA, y consumo de corriente de la fuente de ICCH ≈ 1 mA y ICCL ≈ 2 mA. Estos parámetros aseguran compatibilidad lógica estable con otros dispositivos (Futurlec, 2020).

En cuanto a las características de conmutación, se destacan los tiempos de

propagación de entrada a salida (tPLH y tPHL) que oscilan entre 3 ns y 15 ns, dependiendo de la capacitancia de carga (15 pF o 50 pF). Estos valores permiten estimar la frecuencia máxima de operación en sistemas digitales de alta velocidad (Futurlec, 2020).

LED (Diodo Led):

Un LED (*Light Emitting Diode*) es un pequeño componente electrónico que emite luz cuando se le aplica corriente eléctrica en la dirección correcta. En los circuitos digitales, los LEDs se usan para indicar visualmente el estado de las salidas (1 = encendido, 0 = apagado) (Malvino, 2006).

Switch de 4 posiciones:

Un DIP switch (*Dual In-line Package Switch*) es un componente formado por varios interruptores miniatura en una sola fila. En esta práctica se utilizó uno de 4 posiciones, permitiendo representar manualmente los 4 bits de entrada (A, B, C, D) del número binario.

Cada interruptor puede estar en:

- **ON (1):** conexión establecida (estado alto)
- **OFF (0):** sin conexión (estado bajo)

Este componente permite modificar las entradas del circuito fácilmente durante la simulación (Tocci et al., 2007).

3. PROCEDIMIENTO

Debido a que el Latch S–R es un dispositivo de almacenamiento temporal biestable, se procede a analizar el comportamiento de sus salidas, primero para la

implementación con compuertas NOR y posteriormente de manera similar con compuertas NAND. Este análisis permite determinar cómo las salidas $Q\ y\ \bar{Q}$ dependen de las entradas S y R y del estado anterior Q sub n

Para el caso del Latch activo en nivel bajo (NAND), las ecuaciones lógicas que describen el comportamiento de las salidas son:

$$Q_n = \overline{R + \overline{Q_n}} \qquad \overline{Q_n} = \overline{S + Q_n}$$

$$Q_{n+1} = \bar{R}(S + Q_n) \qquad \overline{Q_{n+1}} = \bar{S}(R + \overline{Q_n})$$

Al obtener la siguiente expresión lógica se puede realizar el estudio en el cual se plantear la tabla de verdad con las 3 presentes entradas R, S, Q_n en el cual tendrá el fin de representar la salida siguiente Q_{n+1} y su parte negada como se puede analizar en sus funciones lógicas.

R	S	Qn	Q_{n+1}	$\overline{Q_{n+1}}$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	0	0
1	1	1	0	0

Tabla 3. Tabla de verdad del Latch de entra a nivel Bajo.

Es importante destacar que algunas de estas combinaciones producen estados incorrectos o indeterminados, debido a la naturaleza de la lógica de activación negada en el Latch NAND. Por este motivo, se descartan los estados inválidos y se simplifica la

tabla a la forma reducida presentada previamente (Tabla 2), la cual sirve como referencia para la implementación del circuito secuencial.

Diagrama de estados del Latch NOR

Para comprender el comportamiento dinámico del circuito, se construye el diagrama de estados, que representa las transiciones de las salidas según las entradas aplicadas. Como se puede observar en la figura 5 este diagrama es fundamental para guiar la simulación y la implementación en protoboard, ya que permite prever cómo el latch responde a cada combinación de señales

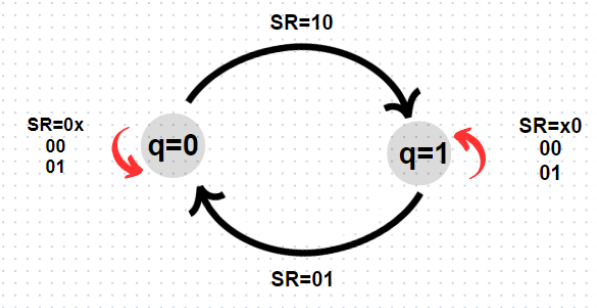


Figura 5. Diagrama de estados de latch S-R.

4. RESULTADOS

Para la simulación en Proteus (Isis), se incorporaron los componentes necesarios para recrear el comportamiento del Latch S–R. En este caso, se emplearon dos compuertas NOR y dos compuertas NAND para realizar la simulación del circuito. Para la implementación física se utilizaron los circuitos integrados 74LS02 (NOR) y 74LS00 (NAND), acompañados de otros dispositivos electrónicos como dip-switches, resistencias y diodos LED, que permitieron representar de manera visual las entradas y salidas del sistema. La distribución y conexión de estos elementos se puede observar en la Figura 6.

Las entradas del circuito se configuraron mediante dip-switches de dos canales, asignando uno a las compuertas NAND y otro a las NOR. Cada dip-switch actúa como las entradas Set (S) y Reset (R) del latch, permitiendo controlar manualmente el estado del circuito durante la simulación. Para proteger los LEDs y garantizar el correcto funcionamiento, se conectaron resistencias en serie con cada diodo. Adicionalmente, se incluyeron resistencias conectadas a tierra para establecer un estado lógico definido cuando las entradas no están activadas. La correcta disposición de estos elementos se muestra en la Figura 13.

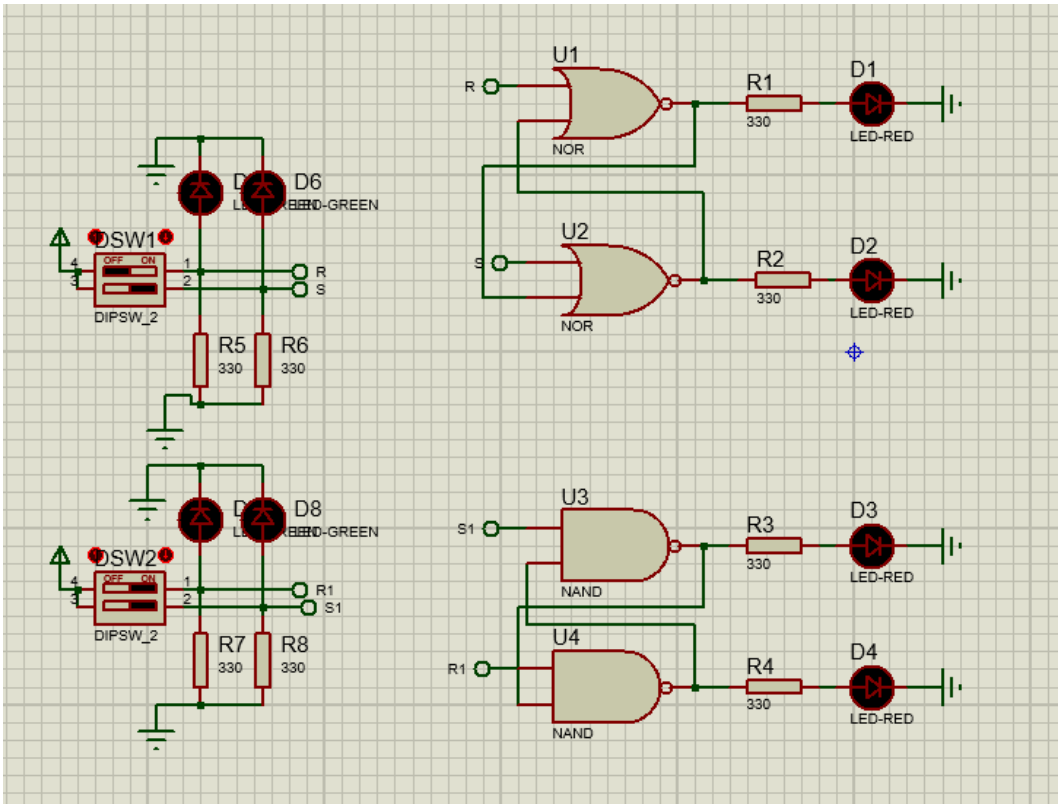


Figura 6. Simulación del latch S-R.

Verificación y contraste del funcionamiento con la tabla de verdad

Se aplicaron distintas combinaciones de entradas con el fin de comprobar que la simulación se ajusta al comportamiento teórico descrito en la tabla de verdad. En las

siguientes figuras se muestra el funcionamiento del dispositivo de almacenamiento biestable, conocido como Latch, evidenciando su respuesta ante cada condición de prueba.

CASO 1: ***S(0) --R(0)***

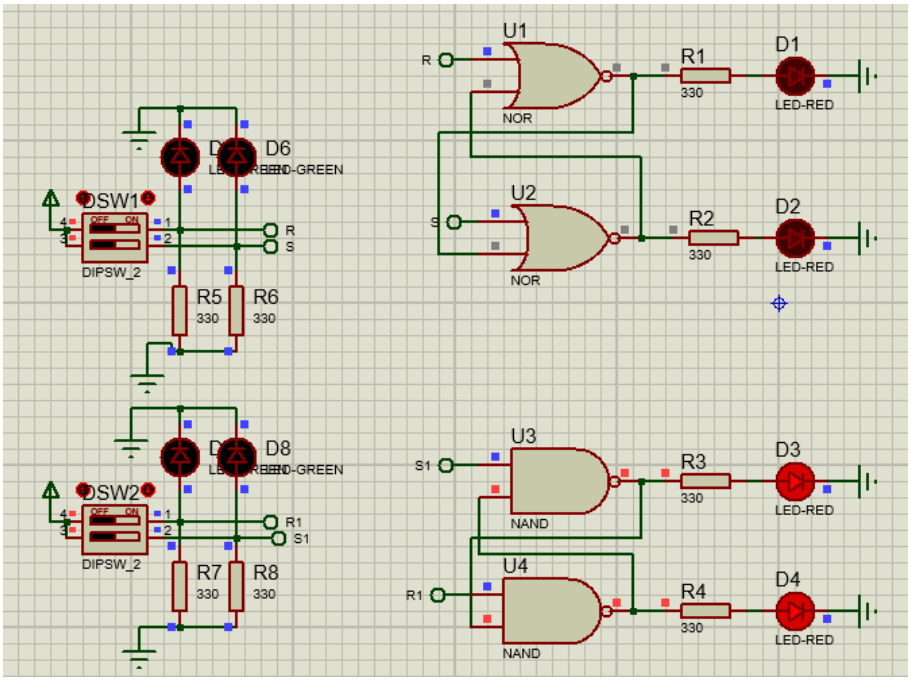


Figura 7. Simulación del latch S(0) - R(0).

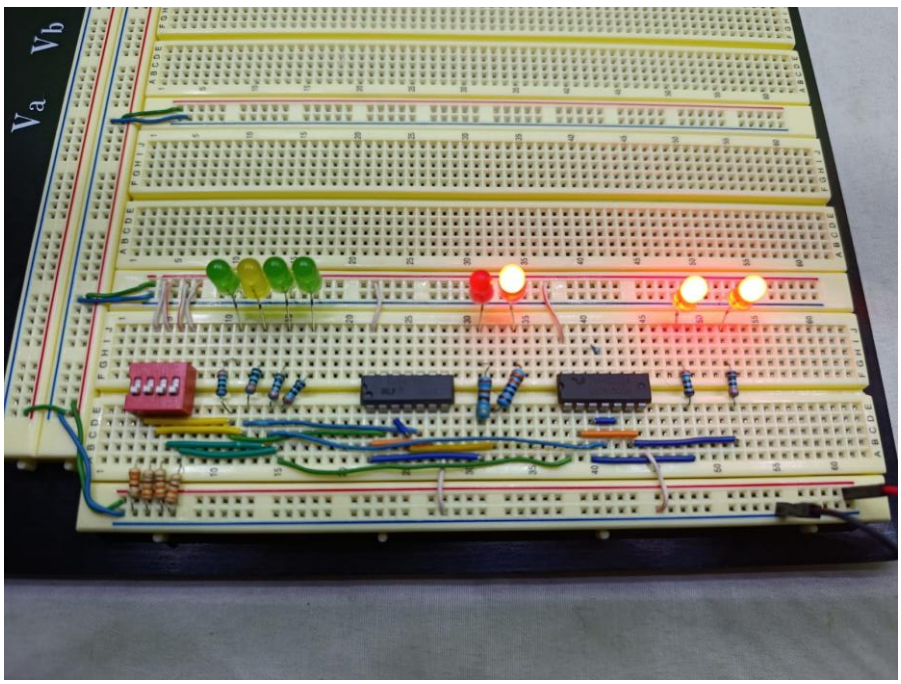


Figura 8. Implementación del latch S(0) - R(0).

CASO 2: ***S(1) --R(0)***

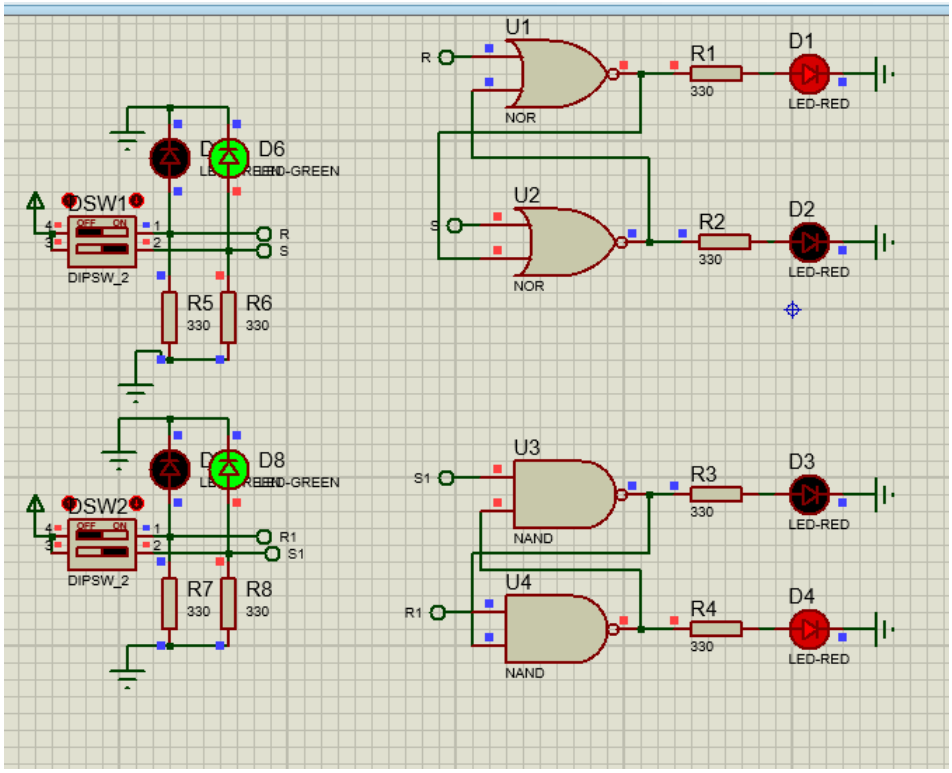


Figura 9. Simulación del latch S(1) - R(0).

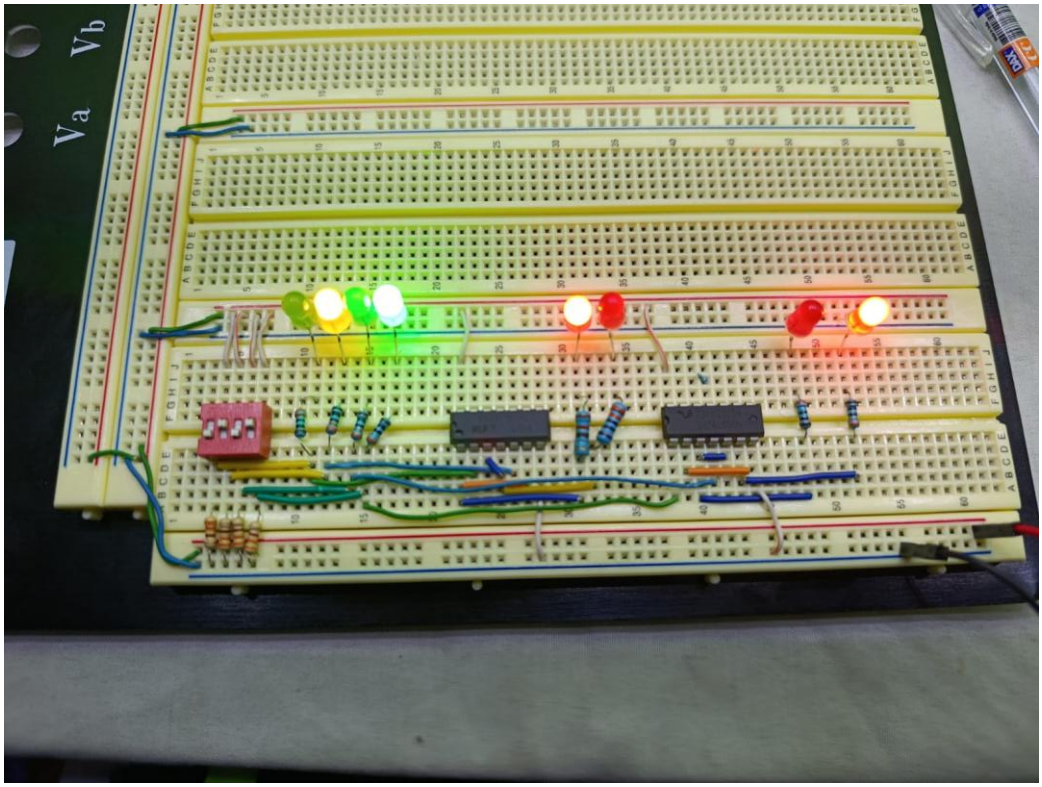


Figura 10. Implementación del latch S(1) - R(0).

CASO 3: *S(0) --R(1)*

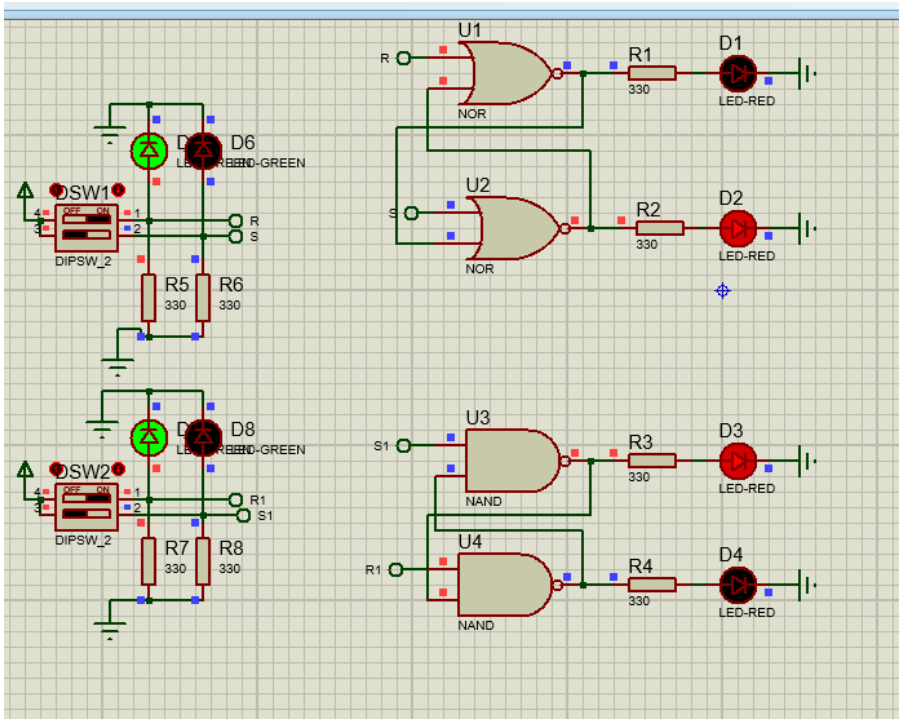


Figura 11. Simulación del latch S(0) - R(1).

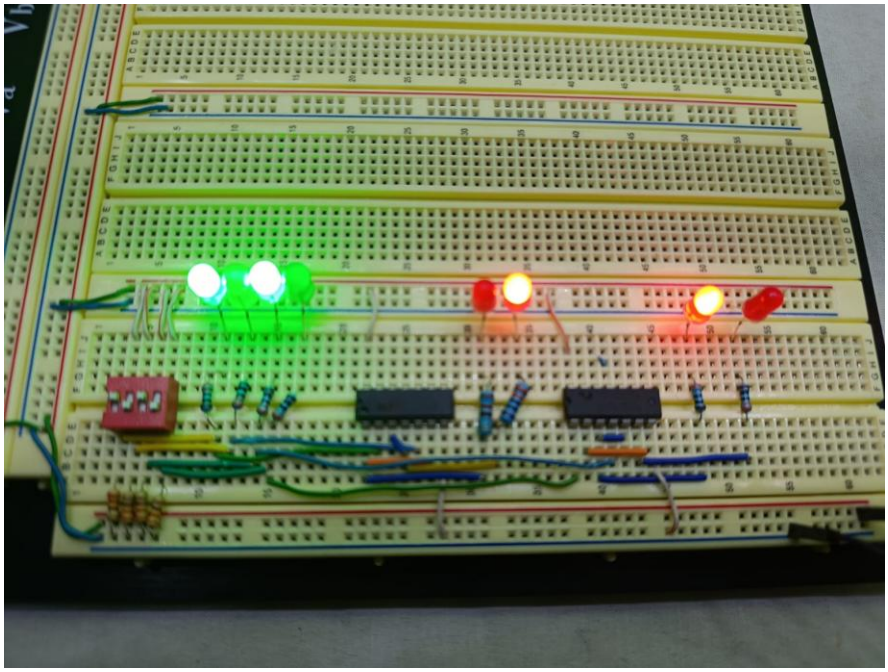


Figura 12. Implementación del latch S(0) - R(1).

CASO 4: *S(1) --R(1)*

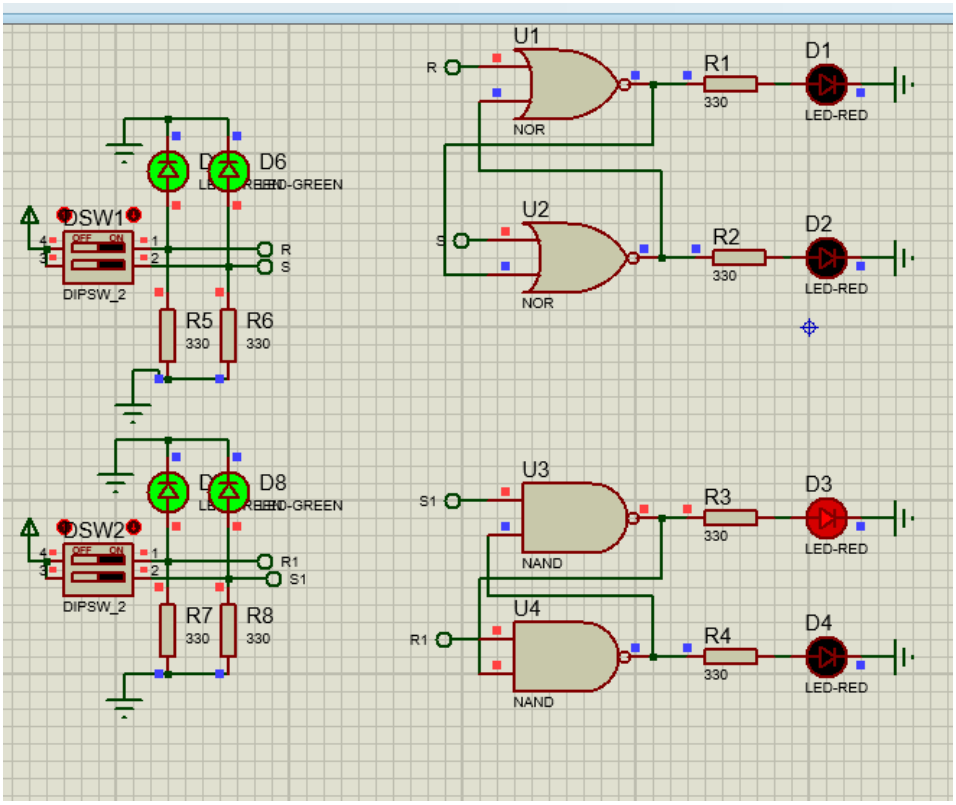


Figura 13. Simulación del latch S(1) - R(1).

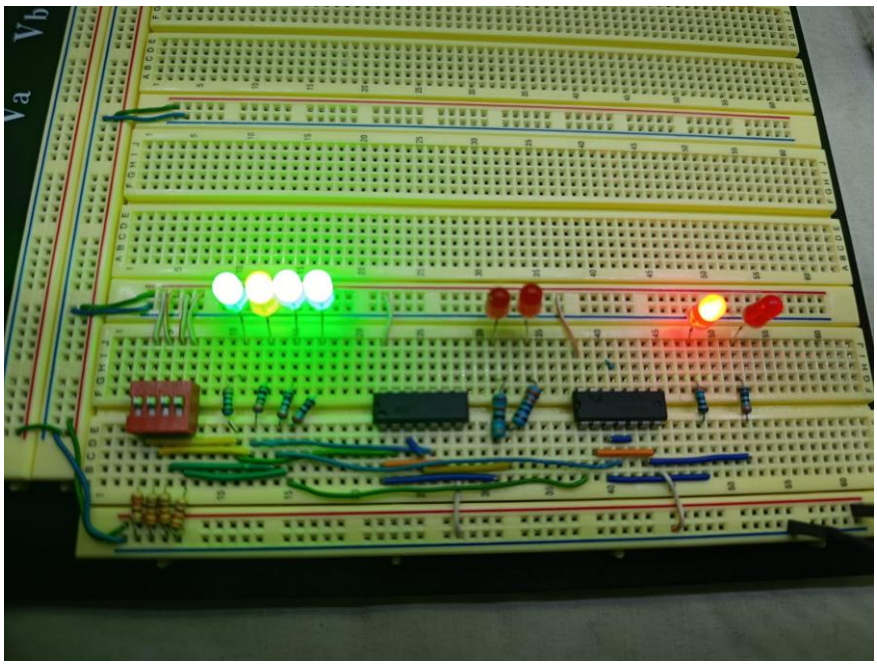


Figura 14. Implementación del latch S(1) - R(1).

Diferencias entre el Latch NOR y NAND

La principal diferencia entre los latches NOR y NAND radica en su tipo de activación:

- El Latch NOR es activo a nivel alto, lo que significa que responde a las entradas cuando éstas están en “1”.
- El Latch NAND es activo a nivel bajo, respondiendo a las entradas cuando éstas están en “0”.

Si se aplicara una inversión de entradas en el latch NAND, su comportamiento sería equivalente al latch NOR, incluyendo el diagrama de estados.

Ambos tipos de latch son ampliamente utilizados en sistemas digitales, y la elección entre uno u otro depende de los requisitos específicos del diseño, la funcionalidad deseada y las restricciones del circuito.

En cuanto al consumo energético, las compuertas NOR suelen tener un consumo menor, lo que puede ser importante en circuitos de bajo consumo. Por otro lado, las compuertas NAND presentan un tiempo de retardo más bajo, lo que implica que los latches construidos con NAND son más rápidos y eficientes para aplicaciones de alta velocidad.

Ventajas y desventajas en el proceso de diseño

Ventajas:

- Facilita la comprensión del funcionamiento de los circuitos secuenciales básicos.
- Permite comparar la activación en nivel alto (NOR) y en nivel bajo (NAND).
- El uso de compuertas universales hace más flexible el diseño, ya que con

ellas se pueden construir otros circuitos lógicos.

- La simulación en software ayuda a detectar errores antes de implementar físicamente el circuito.
- Combina teoría y práctica, reforzando el aprendizaje.

Desventajas:

- El latch S–R presenta una condición inválida que puede generar incertidumbre en las salidas.
- Para circuitos más complejos se requiere un mayor número de compuertas, lo que aumenta el espacio y la dificultad del diseño.
- El montaje en protoboard puede dar problemas por falsos contactos o ruidos eléctricos.
- No es un diseño eficiente en consumo ni en velocidad comparado con soluciones integradas más avanzadas.

5. RECOMENDACIONES

- Al implementar un latch S–R (activo en nivel alto o bajo), se deben considerar todas las posibles combinaciones de entrada para evitar estados indeterminados que puedan afectar el funcionamiento del circuito.
- Realizar un análisis de temporización detallado, evaluando cómo se propagan las señales a través del latch S–R, para comprender su impacto en el rendimiento general del circuito y asegurar un funcionamiento confiable.

- Elegir entre latches NOR o NAND según criterios de consumo, velocidad y facilidad de implementación en el diseño específico.

6. CONCLUSIONES

- Un latch es un circuito secuencial biestable capaz de mantener un estado de salida estable sin necesidad de señal de reloj, permitiendo almacenar y retener temporalmente un bit de información.
- El latch S–R utiliza dos entradas (S y R) para establecer o restablecer el estado de salida, funcionando como un bloque básico de memoria en sistemas digitales.
- Los latches construidos con compuertas NOR y NAND presentan comportamientos equivalentes pero difieren en su nivel de activación, consumo energético y velocidad de respuesta.

7. REFERENCIAS

- Floyd, T. L. (2015). Sistemas digitales: Principios y aplicaciones (11.a ed.). Pearson Educación.
- Malvino, A. P. (2006). Principios de electrónica (7.a ed.). McGraw-Hill.
- Tocci, R. J., Widmer, N. S., & Moss, G. (2007). Sistemas digitales (10.a ed.). Pearson Educación.
- Wakerly, J. F. (2006). Diseño digital: Principios y prácticas (4.a ed.). Pearson Educación.
- Renesas. (2005). Datasheet del circuito integrado 7402: Quad 2-Input NOR Gate. Renesas Technology Corp.
- Futurlec. (2020). 74LS00 – Quad 2-Input NAND Gate. Recuperado de https://www.futurlec.com/74LS/74LS00.shtml
- Brown, S., & Vranesic, Z. (2013). Fundamentals of Digital Logic with VHDL Design (3rd ed.). McGraw-Hill.

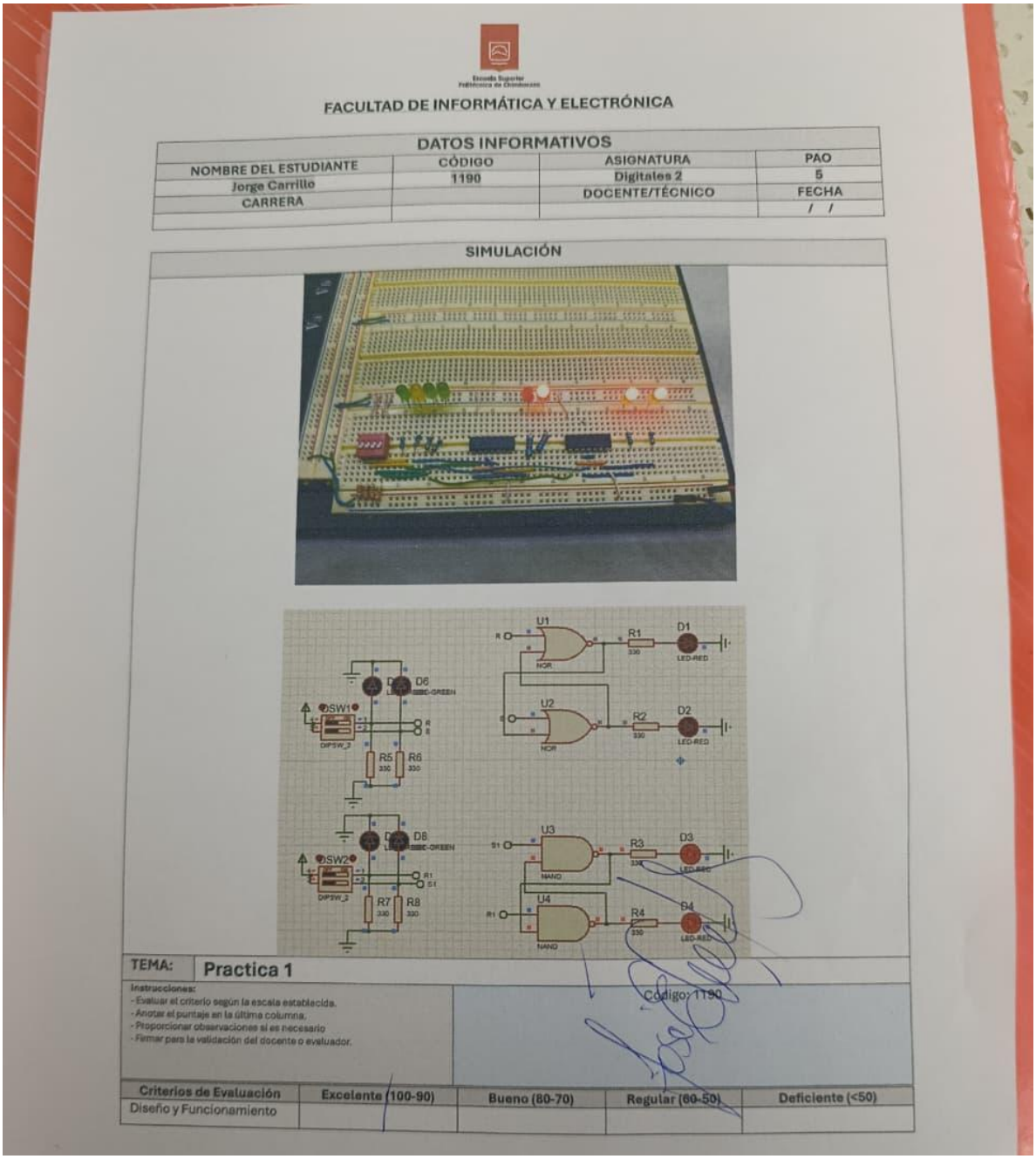
- Mano, M. M., & Ciletti, M. D. (2018). Digital Design (6th ed.). Pearson.

- Malvino, A., & Leach, D. (2008). Principios de circuitos digitales (7.ª ed.). McGraw-Hill.

- Tocci, R. J., Widmer, N. S., & Moss, G. (2011). Sistemas digitales: principios y aplicaciones (11.ª ed.). Pearson.

Wakerly, J. F. (2006). Digital Design: Principles and Practices (4th ed.). Pearson Prentice Hall.

8. ANEXOS



Escuela Superior Politécnica de Chimborazo

FACULTAD DE INFORMÁTICA Y ELECTRÓNICA

DATOS INFORMATIVOS			
NOMBRE DEL ESTUDIANTE	CÓDIGO	ASIGNATURA	PAO
Jorge Carrillo	1190	Digitales 2	5
CARRERA		DOCENTE/TÉCNICO	FECHA
			/ /

SIMULACIÓN

TEMA: Practica 1

Instrucciones:
- Evaluar el criterio según la escala establecida.
- Anotar el puntaje en la última columna.
- Proporcionar observaciones si es necesario
- Firmar para la validación del docente o evaluador.

Codigo: 1190

Criterios de Evaluación	Excelente (100-90)	Bueno (80-70)	Regular (60-50)	Deficiente (<50)
Diseño y Funcionamiento				

Datasheet del 74ls02:

RENESAS

HD74LS02

Quadruple 2-Input Positive NOR Gates

REJ03D0389–0200
Rev.2.00
Feb.18.2005

Features

• Ordering Information

Part Name	Package Type	Package Code (Previous Code)	Package Abbreviation	Taping Abbreviation (Quantity)
HD74LS02P	DILP-14 pin	PRDP0014AB-B (DP-14AV)	P	—
HD74LS02FPEL	SOP-14 pin (JEITA)	PRSP0014DF-B (FP-14DAV)	FP	EL (2,000 pcs/reel)
HD74LS02RPEL	SOP-14 pin (JEDEC)	PRSP0014DE-A (FP-14DNV)	RP	EL (2,500 pcs/reel)

Note: Please consult the sales office for the above package availability.

Figure 15: Opciones de empaquetado del integrado 7402 (Renesas, 2005).

Absolute Maximum Ratings

Item	Symbol	Ratings	Unit
Supply voltage	V_{CC} Note	7	V
Input voltage	V_{IN}	7	V
Power dissipation	P_T	400	mW
Storage temperature	Tstg	–65 to +150	°C

Note: Voltage value, unless otherwise noted, are with respect to network ground terminal.

Recommended Operating Conditions

Item	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.75	5.00	5.25	V
Output current	I_{OH}	—	—	–400	µA
	I_{OL}	—	—	8	mA
Operating temperature	Topr	–20	25	75	°C

Figure 16: Especificaciones eléctricas del 7402 (Renesas, 2005).

Electrical Characteristics

(Ta = –20 to +75 °C)

Item	Symbol	min.	typ.*	max.	Unit	Condition
Input voltage	V_{IH}	2.0	—	—	V	
	V_{IL}	—	—	0.8	V	
Output voltage	V_{OH}	2.7	—	—	V	V_{CC} = 4.75 V, V_{IL} = 0.8 V, I_{OH} = –400 μA
	V_{OL}	—	—	0.5	V	I_{OL} = 8 mA, V_{CC} = 4.75 V, V_{IH} = 2 V
		—	—	0.4		I_{OL} = 4 mA
Input current	I_{IH}	—	—	20	μA	V_{CC} = 5.25 V, V_I = 2.7 V
	I_{IL}	—	—	–0.4	mA	V_{CC} = 5.25 V, V_I = 0.4 V
	I_I	—	—	0.1	mA	V_{CC} = 5.25 V, V_I = 7 V
Short-circuit output current	I_{OS}	–20	—	–100	mA	V_{CC} = 5.25 V
Supply current	I_{CCH}	—	1.6	3.2	mA	V_{CC} = 5.25 V
	I_{CCL}	—	2.8	5.4	mA	V_{CC} = 5.25 V
Input clamp voltage	V_{IK}	—	—	–1.5	V	V_{CC} = 4.75 V, I_{IN} = –18 mA

Note: * V_{CC} = 5 V, Ta = 25°C

Switching Characteristics

(V_{CC} = 5 V, Ta = 25°C)

Item	Symbol	min.	typ.	max.	Unit	Condition
Propagation delay time	t_{PLH}	—	10	15	ns	C_L = 15 pF, R_L = 2 kΩ
	t_{PHL}	—	10	15	ns	

Note: Refer to Test Circuit and Waveform of the Common Item "TTL Common Matter (Document No.: REJ27D0005-0100)".

Figure 17: Características eléctricas y temporales del integrado 7402 (Renesas, 2005).

Datasheet del 74ls00

DM74LS00

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	–65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			–0.4	mA
I_{OL}	LOW Level Output Current			8	mA
T_A	Free Air Operating Temperature	0		70	°C

Figure 18: Tabla de Valores Máximos Absolutos del integrado 7400 (Futurlec, 2020).

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 3)	−20		−100	mA
I_{CCH}	Supply Current with Outputs HIGH	V_{CC} = Max		0.8	1.6	mA
I_{CCL}	Supply Current with Outputs LOW	V_{CC} = Max		2.4	4.4	mA

Note 2: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 3: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Figure 19: Características Eléctricas del integrado 7400 (Futurlec, 2020).

Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	3	10	4	15	ns

Figure 20: Características de Conmutación del integrado 7400 (Futurlec, 2020)